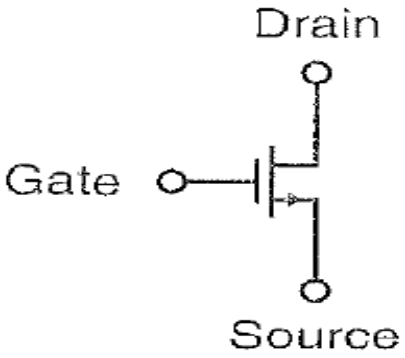
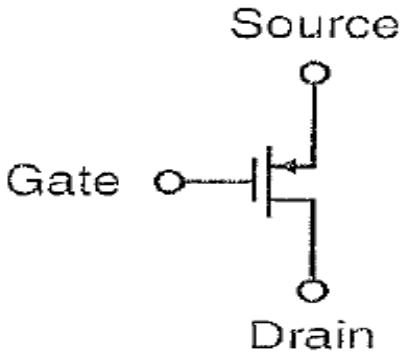
طراحی مدارهای MOS

Nasser Mozayani
School of Computer Engineering
Iran University of Science and Technology

معرفی ترانزیستورهای MOS

NMOS





PMOS

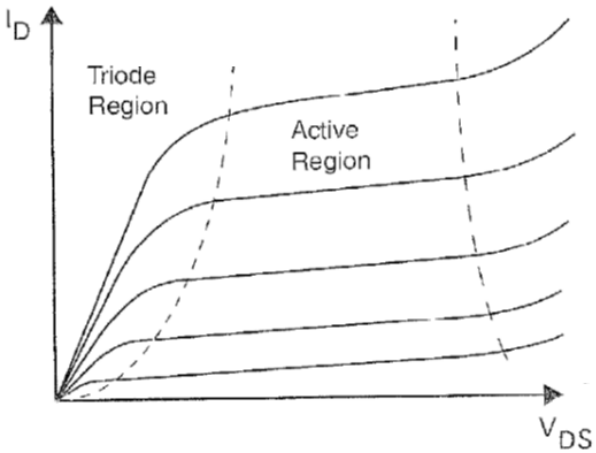
- برای یک ترانزیستور NMOS داریم $V_{eff} = V_{GS} - V_{tn} \geq 0$ $V_{tn} \approx 0.7v$
- و برای یک ترانزیستور PMOS داریم $V_{eff} = V_{SG} - |V_{tp}| = V_{SG} + V_{tp} \geq 0$ $V_{tp} \approx -0.7v$

$$I_D = \mu_n \frac{W}{L} C_{ox}\left[(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2}\right]$$

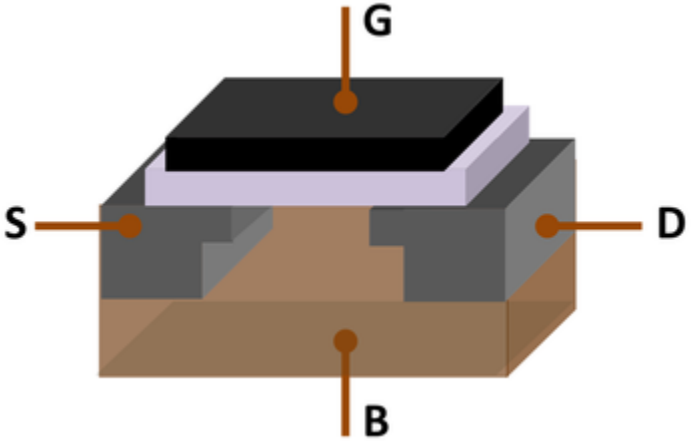
برای $V_{DS}<V_{eff}$

$$I_D = \frac{\mu_n C_{ox}}{2}\frac{W}{L}(V_{GS} - V_{tn})^2$$

برای $V_{DS}>V_{eff}$



معرفی ترانزیستورهای MOS

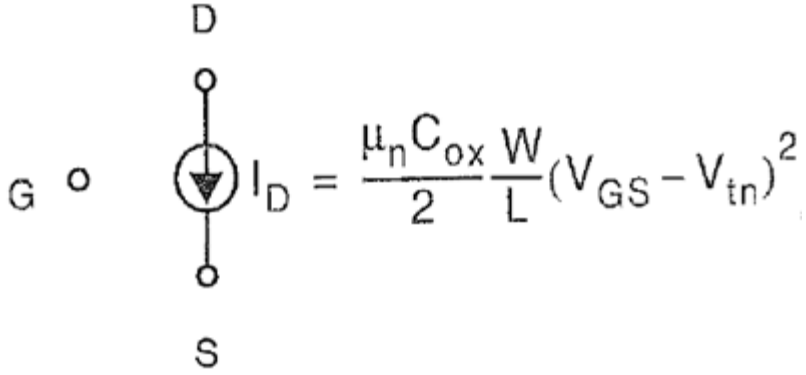


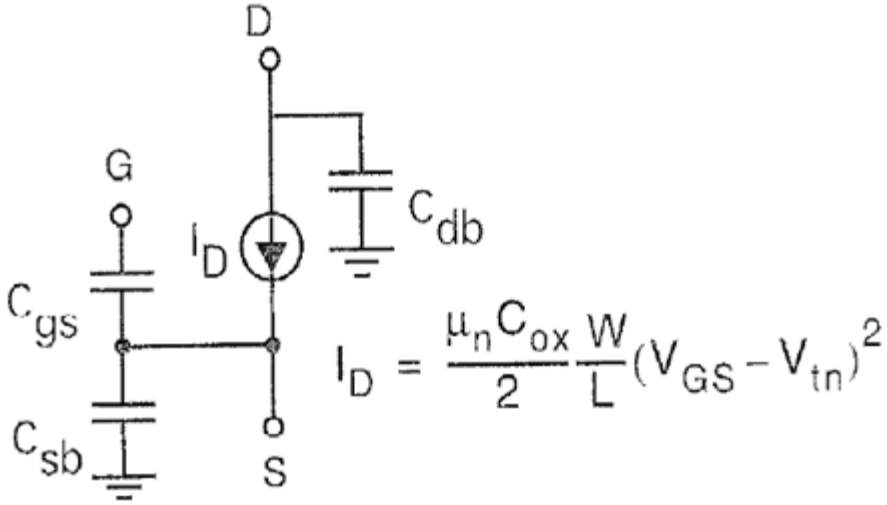
- μ_n قابلیت تحرک الکترون ها تقریباً برابر است با $0.05m^2/v.s$ و C_{ox} خازن گیت در واحد سطح است که یک پارامتر وابسته به تکنولوژی و مقدار نوعی آن برای تکنولوژی ۰.۶مایکرون برابر است با $3.5\ fF/\mu m^2$.
- در مدارهای دیجیتال، تقریباً تمام ترانزیستورها کوچکترین طول ممکن را دارا می باشند. این بدان معناست که گذشته از اینکه توپولوژی مدار چه باشد، تنها انتخاب ممکن برای طراح، معمولاً فقط عرض ترانزیستور است.

$$I_D = \mu_n \frac{W}{L} C_{ox}\left[(V_{GS}-V_{tn})V_{DS} - \frac{V_{DS}^2}{2}\right]$$ برای $V_{DS}<V_{eff}$

$$I_D = \frac{\mu_n C_{ox} W}{2 L}(V_{GS}-V_{tn})^2$$ برای $V_{DS}>V_{eff}$

مدل ترانزیستور MOS





مدلهای ساده شده یک ترانزیستور NMOS که ولتاژ درین- سورس بزرگی دارد و بنابراین در ناحیه اشباع است (الف) برای فرکانس های پایین

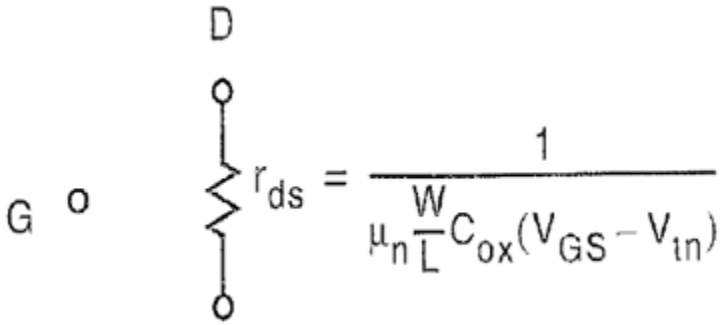
و (ب) برای تحلیل گذرا

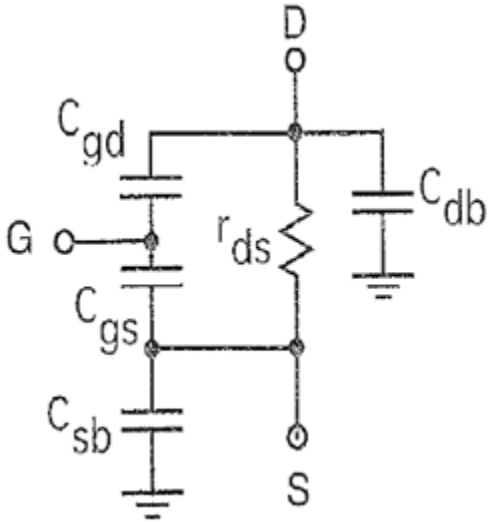
C_{gs} تقریباً مساوی است با $2/3W.L.C_{OX}$

اگر ولتاژ درین- سورس ترانزیستور بزرگ نباشد، آنگاه $C_{gs} = W.L.C_{OX}$

هرگاه ولتاژ درین- سورس معلوم نباشد و یا در حال تغییر باشد، آنگاه این مقدار حد اکثر به منظور تقریب مورد استفاده قرار خواهد گرفت

مدل ترانزیستور MOS



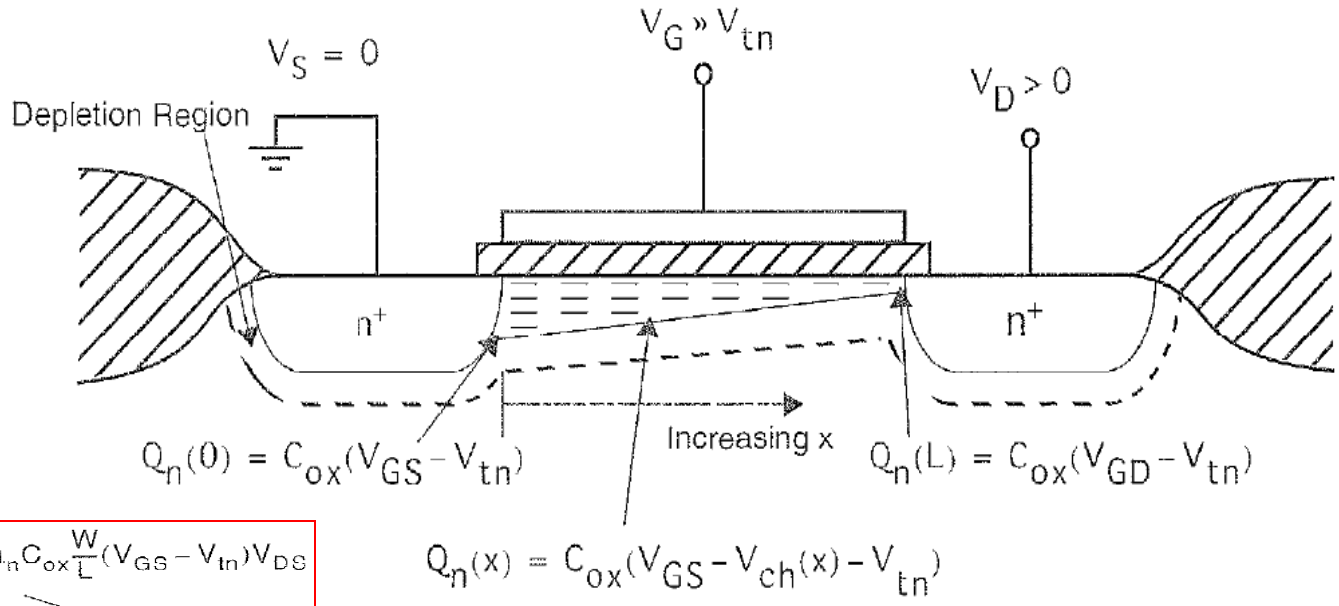


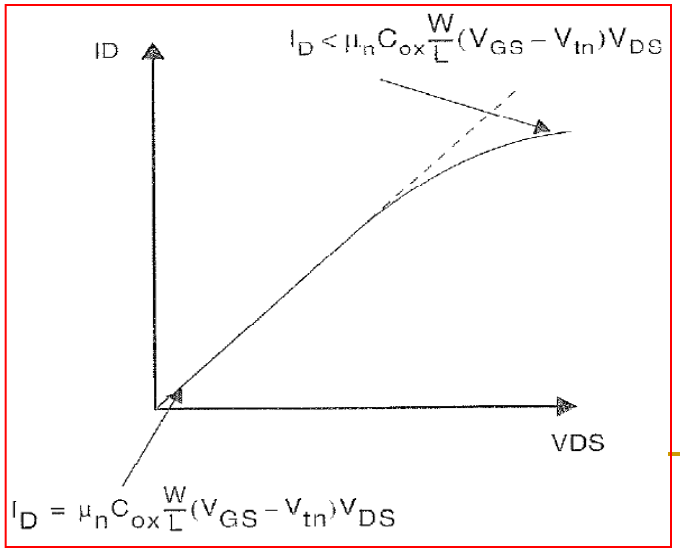
در ناحیه خطی می توان بجای ترانزیستور از یک مقاومت استفاده نمود

$$r_{ds} = \frac{V_{DS}}{I_D} \approx \frac{1}{\mu_n \frac{W}{L} C_{ox}(V_{GS} - V_{tn})}$$

$$I_D = \mu_n \frac{W}{L} C_{ox}(V_{GS} - V_{tn}) V_{DS}$$

چگالی بار کانال برای $V_{DS}>0$

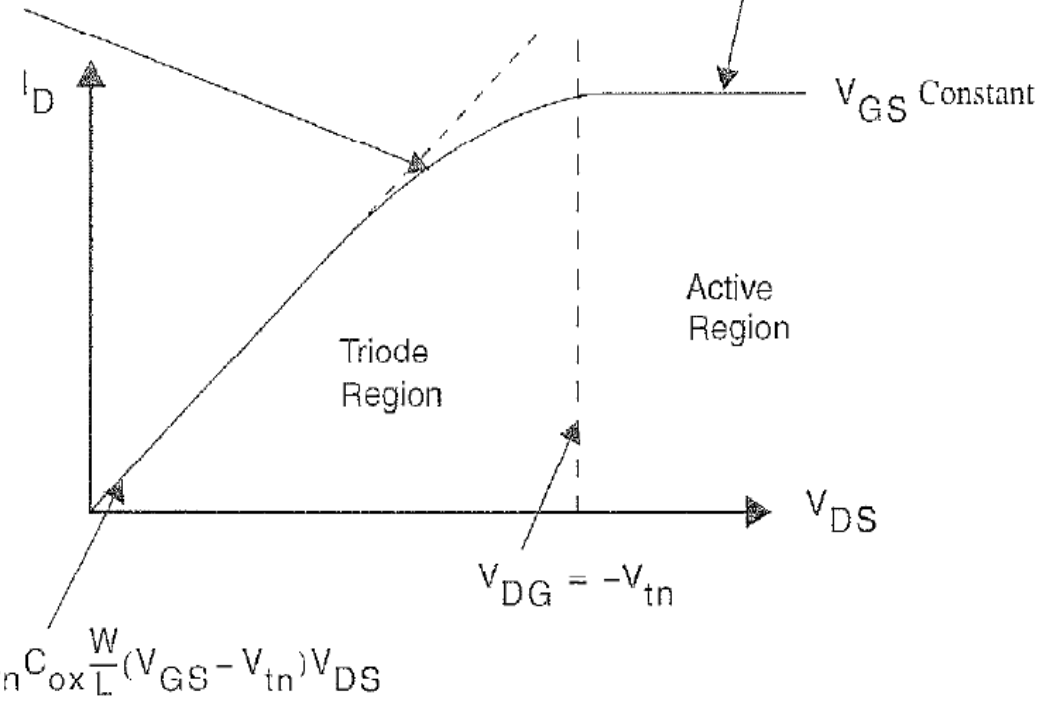




معرفی ترانزیستورهای MOS

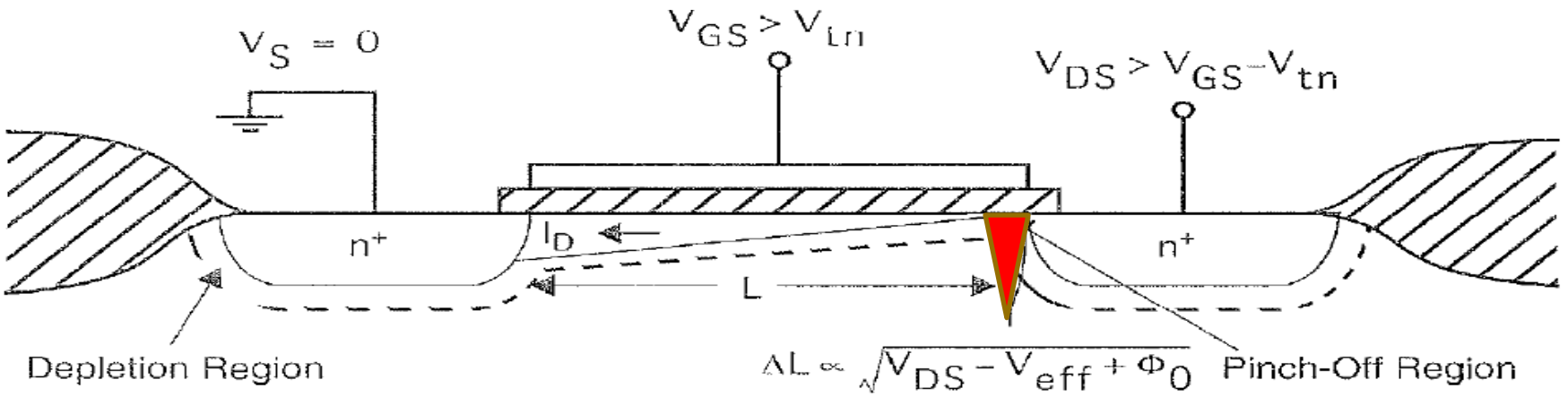
$$I_D = \mu_n C_{ox} \frac{W}{L}\left[(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2}\right]$$

$$I_D = \frac{\mu_n C_{ox} W}{2 L}(V_{GS} - V_{tn})^2$$



در ناحیه خطی می توان بجای ترانزیستور از یک مقاومت استفاده نمود

مدولاسیون طول کانال



$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{tn})^2$$

رابطه روبرو بیان می کند که I_Dمستقل از V_{DS}است

البته بصورت تقریبی است (بدون در نظر داشتن اثرات درجه دوم). منشأ اصلی خطا در اثر این است که هرچه V_{DS} افزایش می یابد، طول کانال کاهش می یابد. هرچه V_{DS} بزرگتر از V_{eff} شود، ناحیه تهی که اتصال درین را فرا گرفته است عرض خود را متناسب با جذر V_{DS} افزایش می دهد. این افزایش عرض ناحیه تهی طول مؤثر کانال را کاهش می دهد که این اثر به نوبه خود، جریان درین را افزایش می دهد.

Channel-Length Modulation

مدولاسیون طول کانال

برای محاسبه مدولاسیون طول کانال، ابتدا عرض ناحیه تهی X_d را شناسایی می کنیم:

$$x_n \cong \left[\frac{2K_s\varepsilon_0(\Phi_0 + V_R)}{qN_D}\right]^{1/2} \qquad x_p \cong \left[\frac{2K_s\varepsilon_0(\Phi_0 + V_R)N_D}{qN_A^2}\right]^{1/2}$$

سپس با کمی جایگذاری:
$N_D \gg N_A$

$$x_d \cong k_{ds}\sqrt{V_{D\text{-}ch} + \Phi_0} = k_{ds}\sqrt{V_{DG} + V_{tn} + \Phi_0} \qquad k_{ds} = \sqrt{\frac{2K_s\varepsilon_0}{qN_A}}$$

$$I_D = I_{D\text{-}sat} + \left(\frac{\partial I_D}{\partial L}\right)\left(\frac{\partial L}{\partial V_{DS}}\right)\Delta V_{DS} \cong I_{D\text{-}sat}\left[1 + \frac{k_{ds}(V_{DS} - V_{eff})}{2L\sqrt{V_{DG} + V_{tn} + \Phi_0}}\right]$$

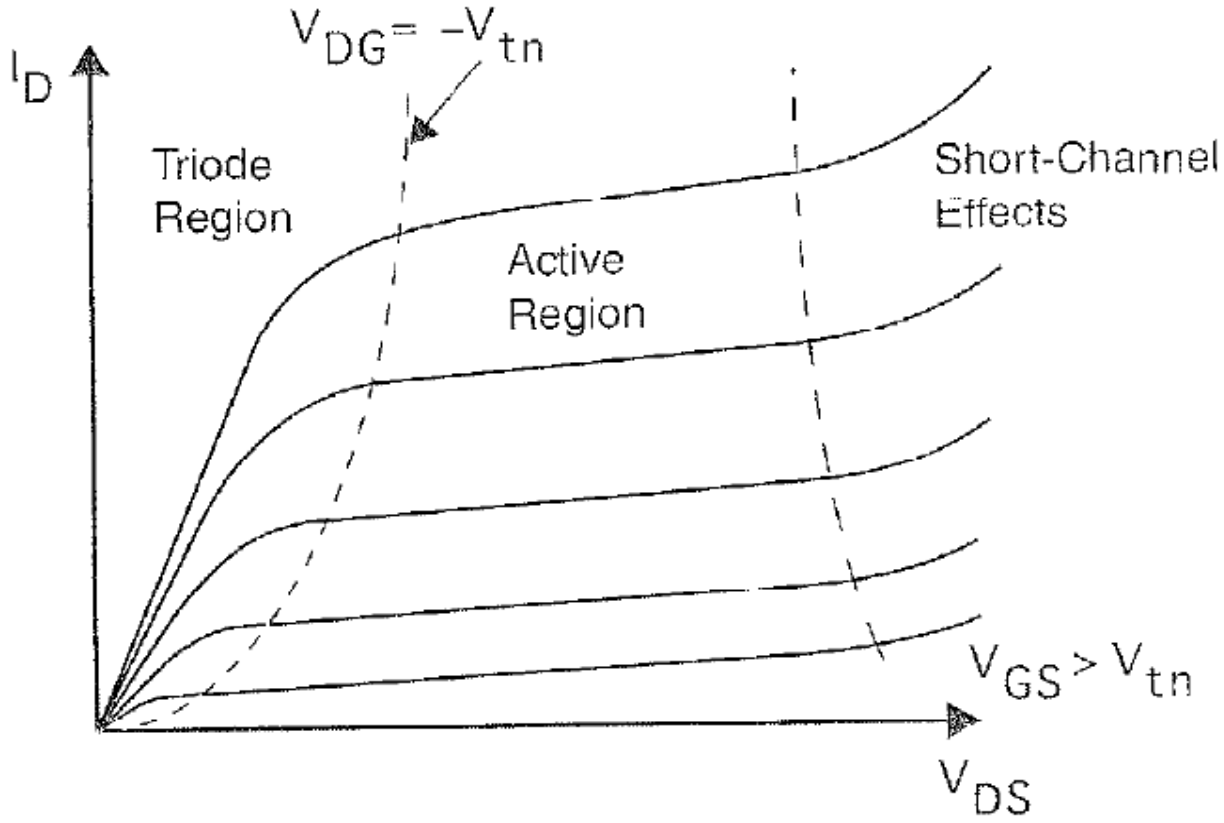
ضمنا فرض کرده ایم:

$$\partial L/\partial V_{DS} = -\partial x_d/\partial V_{DS}$$

بنابر این:

$$I_D = \frac{\mu_n C_{ox} W}{2 L}(V_{GS} - V_{tn})^2[1 + \lambda(V_{DS} - V_{eff})]$$

$$\lambda = \frac{k_{ds}}{2L\sqrt{V_{DG} + V_{tn} + \Phi_0}} = \frac{k_{ds}}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}}$$


I_D
$V_{DG} = -V_{tn}$
Triode Region
Active Region
Short-Channel Effects
$V_{GS} > V_{tn}$
V_{DS}

مثال

Find I_D for an n-channel transistor having a substrate concentration of $N_A = 1.4\times10^{23}/m^3$ with $\mu_n C_{ox} = 188\ \mu A/V^2$, $W = 6\ \mu m$, $L = 0.6\ \mu m$, $\Phi_0 = 0.99\ V$, $V_{GS} = 1.2\ V$, $V_{tn} = 0.8\ V$, and $V_{DS} = V_{eff}$. Assuming λ remains constant, estimate the new value of I_D if V_{DS} is increased by 0.5 V.

$$\lambda = \frac{96.6\times10^{-9}}{2\times0.6\times10^{-6}\times\sqrt{0.99}} = 80.8\times10^{-3}\ V^{-1}$$

$$k = \sqrt{\frac{2\times11.8\times8.854\times10^{-12}}{1.6\times10^{-19}\times1.4\times10^{23}}} = 96.6\times10^{-9}\ m/\sqrt{V}$$

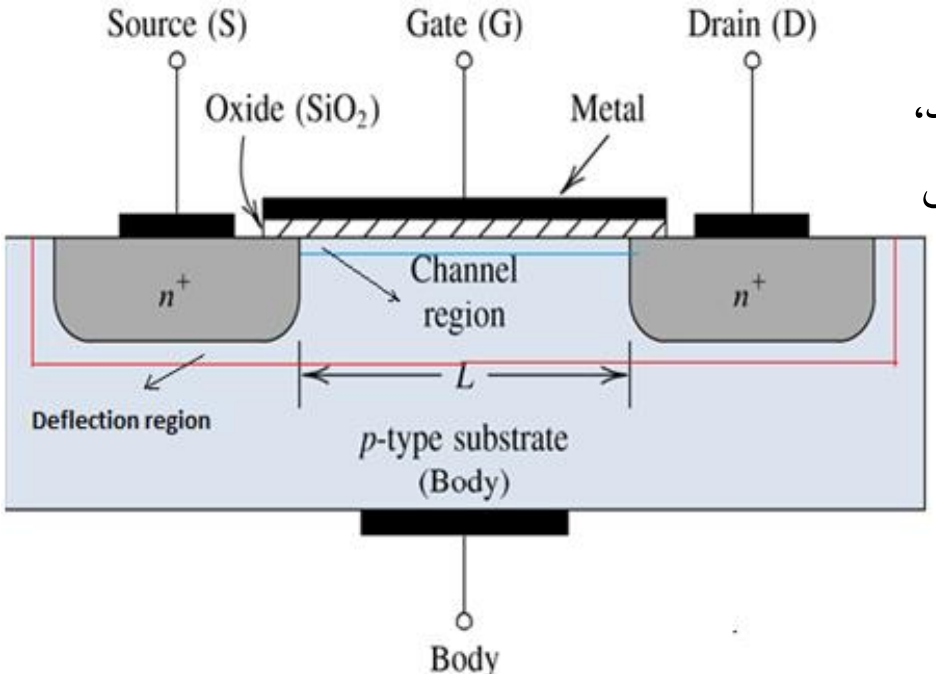
Now, making use of (3.75), we find for $V_{DS} = V_{eff} = 0.4\ V$,

$$I_{D1} = \left(\frac{188\times10^{-6}}{2}\right)\left(\frac{6}{0.6}\right)(0.4)^2(1) = 150\ \mu A$$

In the case where $V_{DS} = V_{eff} + 0.5\ V = 0.9\ V$, we have

$$I_{D2} = 150\ \mu A\times(1+\lambda\times0.5) = 156\ \mu A$$

اثر بدنه



اگر ولتاژ سورس مساوی با ولتاژ زیرلایه (بدنه) نباشد، اثر مرتبه دوم وجود دارد که هنگامی که ولتاژ بایاس معکوس سورس- زیرلایه افزایش می یابد، بصورت افزایش ولتاژ آستانه ترانزیستور (V_{tn}) مدل می شود

$$V_{tn} = V_{tn-0} + \gamma\left(\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}\right)$$

$$\gamma = \frac{\sqrt{2qN_A K_s \varepsilon_0}}{C_{ox}}$$

گاما ثابت اثر بدنه است که در ترانزیستورهای کانال n متناسب است با جذر N_A و در ترانزیستور های کانال p متناسب است با N_D و بنابراین اثر بدنه برای ترانزیستورهایی که در چاه هایی هستند که غلظت آنها بیشتر از زیرلایه است، بیشتر است

اثر بدنه

حال با فرض اثر بدنه رابطه جریان تبدیل می شود به:

$$I_D = \mu_n \frac{W}{L} C_{ox}\left[(V_{GS} - V_{tn})V_{DS} - \alpha\frac{V_{DS}^2}{2}\right]$$

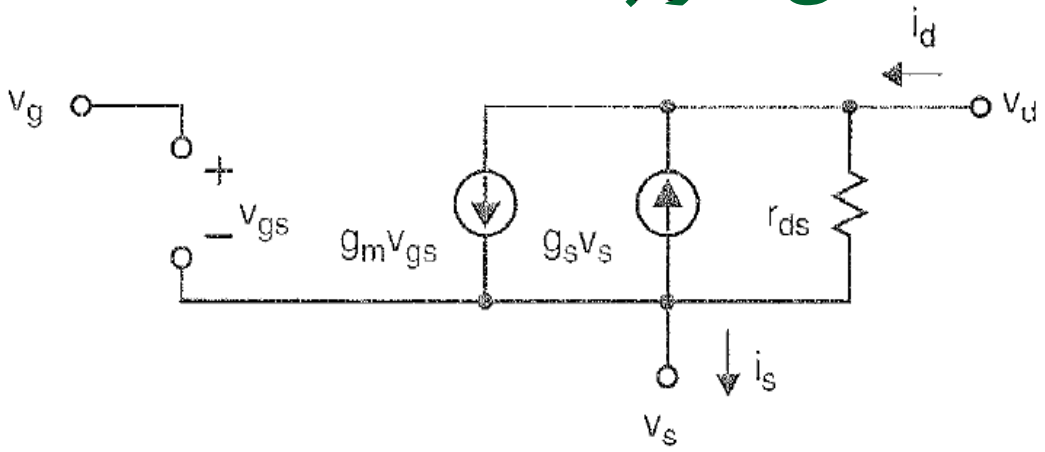
و برای $V_{DS} \le \frac{V_{GS} - V_{tn}}{\alpha} = \frac{V_{eff}}{\alpha}$ داریم:

$$I_D = \frac{\mu_n C_{ox}}{2\alpha}\frac{W}{L}(V_{GS} - V_{tn})^2$$

$$\alpha \cong 1 + \frac{\gamma}{2\sqrt{V_{SB} + |2\phi_F|}}$$

$$\gamma = \frac{\sqrt{2qN_A K_s \varepsilon_0}}{C_{ox}}$$

مدل سازی سیگنال کوچک



مدل سیگنال کوچک برای ناحیه اشباع و در فرکانس های پایین در شکل روبرو نشان داده شده است

پارامتر g_s مربوط به اثر بدنه است و به ندرت در مدارهای دیجیتال اهمیت دارد.

امپدانس خروجی ترانزیستور، r_{ds} بهره گیت های منطقی را تنها زمانی که گیت در نقطه آستانه خود است تحت تأثیر قرار می دهد و این پارامتر نیز از اهمیت کمی برخوردار است.

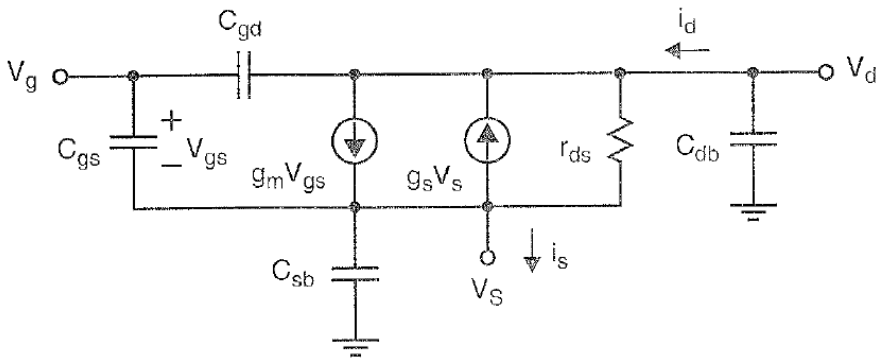
پارامتر هدایت، g_m از آنجا که معیار خوبی برای نشان دادن قابلیت شارژ و دشارژ ترانزیستورهاست، پارامتر مهمتری محسوب می شود.

$$g_m = \sqrt{2\mu_n C_{ox}\frac{W}{L} I_D} \qquad g_s = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\phi_F|}}$$

$$r_{ds} \cong \frac{1}{\lambda I_D}$$

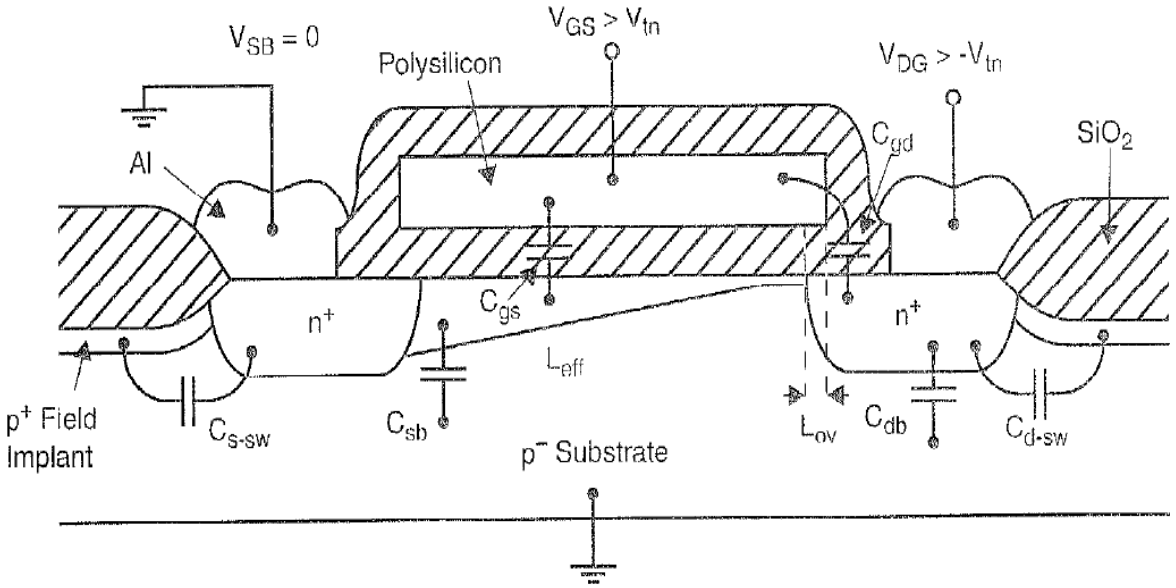
$$\lambda = \frac{k}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}}$$

خازن های پارازیت مدل سیگنال کوچک



مهمترین خازن معمولاً خازن ورودی گیت است.
بسته به ناحیه کاری ترانزیستور معمولاً در محدوده زیر تغییر می کند:

$$\frac{WL}{2}C_{ox} < C_g < WLC_{ox}$$



خازن های اتصال C_{sb} و C_{db} هم بعضا مهم هستند

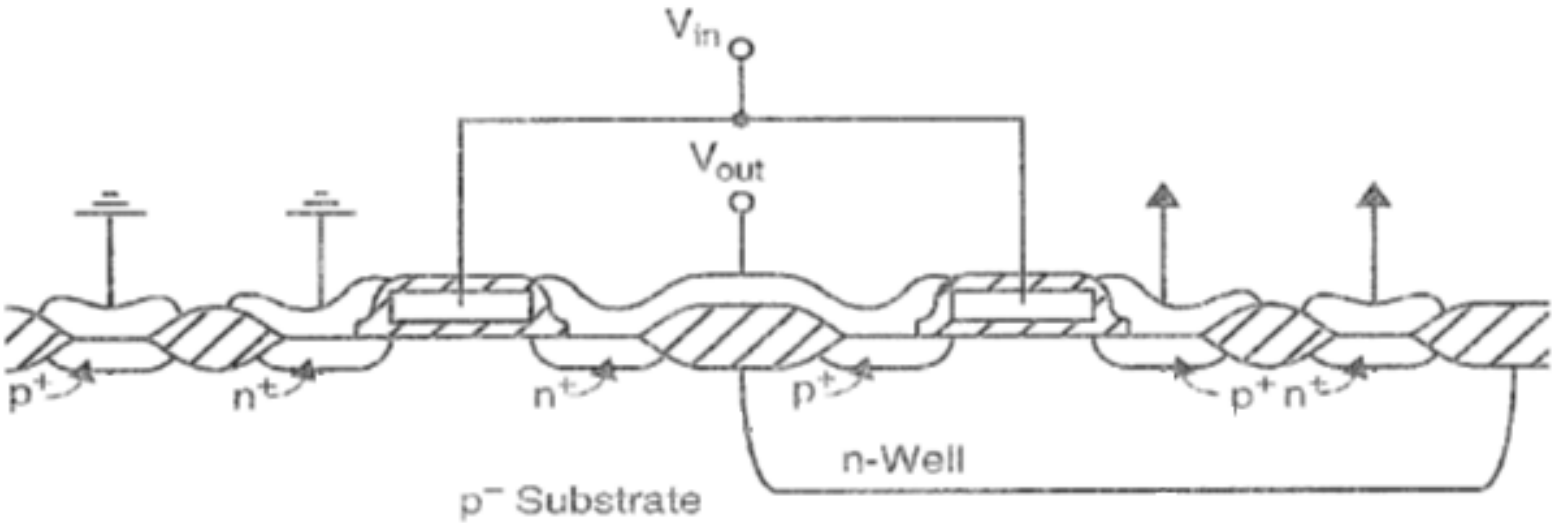
تغییر مقیاس

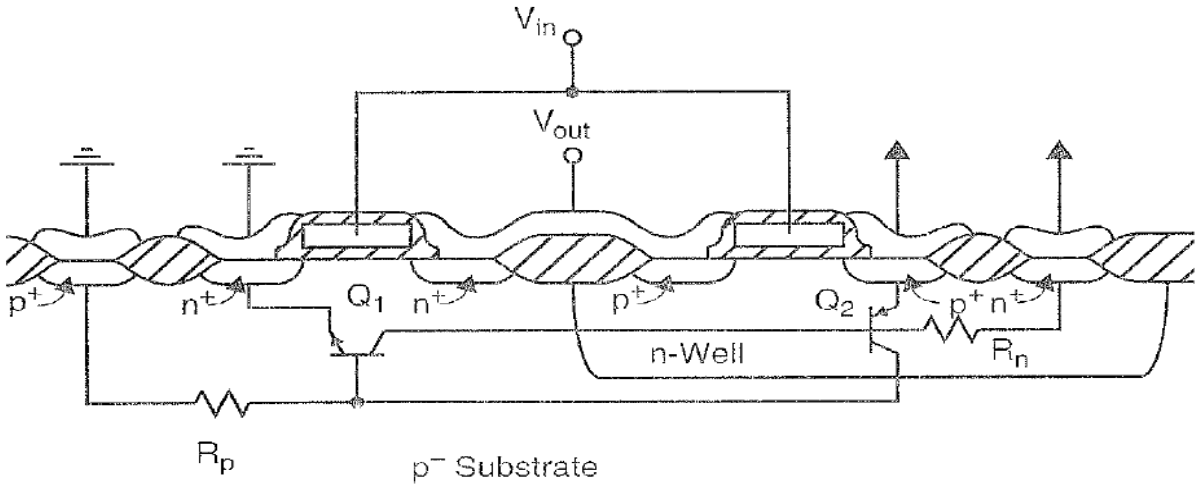
Parameter	Scaling factor
Device dimensions, t_{ox}, L, W, junction depth	1 / S
Doping concentration, N_A	S
Voltage,V	1 / S
Current, I	1 / S
Capacitance, $\varepsilon A \S t_{ox}$	1 / S
Delay time, VC § I	1 / S
Power dissipation (per gate), VI	$1 / S^2$
Power density, VI § A	1
Power-delay product	$1 / S^3$

اثر مقیاس در توان مصرفی یکی از مهمترین عوامل کاهش ولتاژ منبع تغذیه از ۵ ولت به ۳.۳ ولت و ۲.۵ ولت است که البته همیشه براحتی امکان پذیر نیست چون:

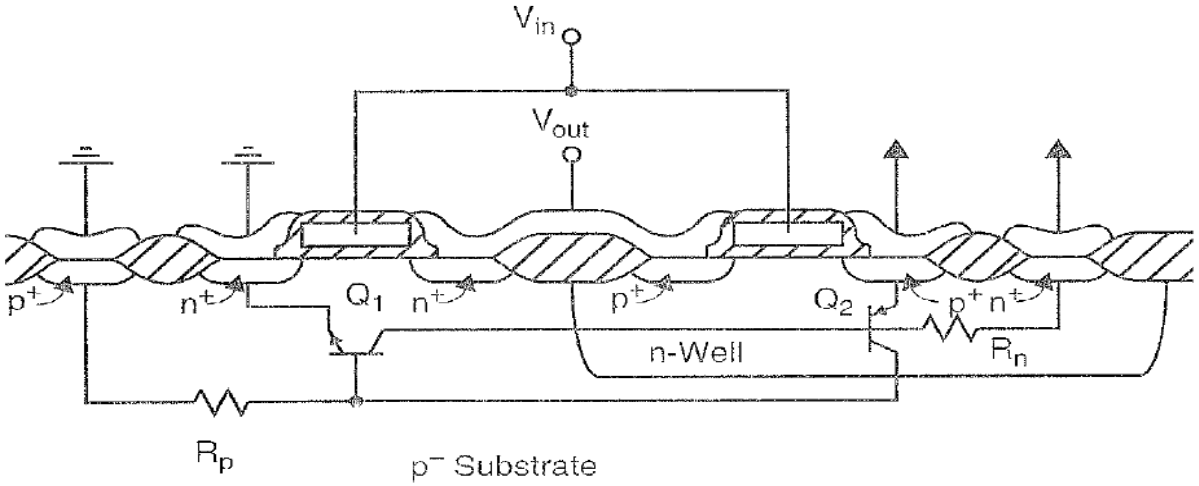
- ولتاژ تغذیه با فرضیات سیستمی تعیین می گردد و نمی توان آن را کاهش داد
- نسبت سیگنال به نویز و حاشیه های نویز بسیار کوچک می شوند
- ولتاژ آستانه ترانزیستورها را نمی توان در حضور جریان های زیرآستانه بزرگ، خیلی نزدیک به صفر ایجاد نمود
- سرعت که مهم ترین عامل است و نه با تغییر مقیاس ، بلکه می توان سرعت را به نسبت بیش از S افزایش داد

پدیده قفل شدگی





پدیده قفل شدگی



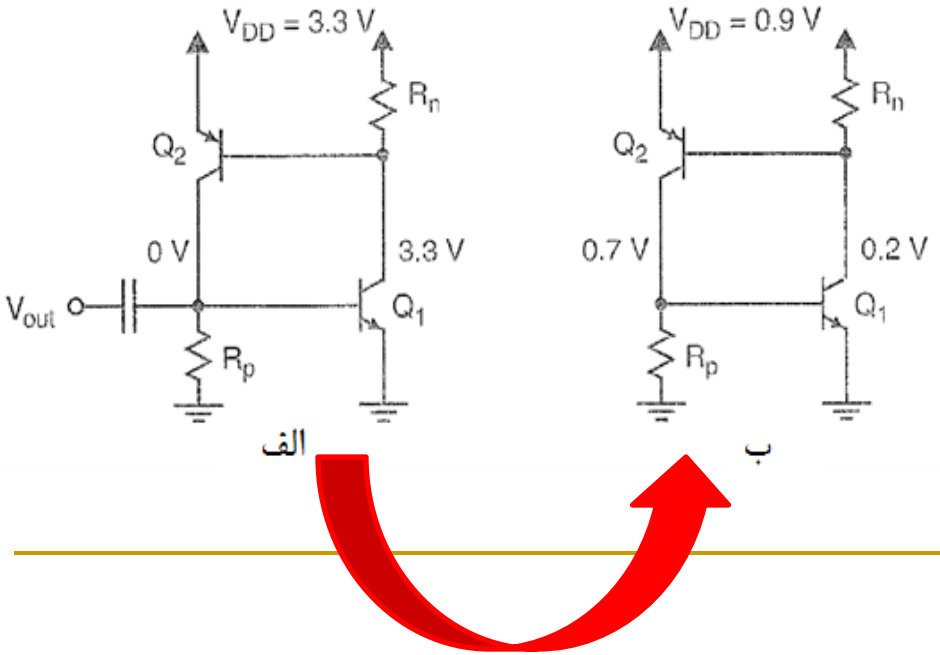
راه حل:

بهره حلقه معکوس کننده ها کوچکتر

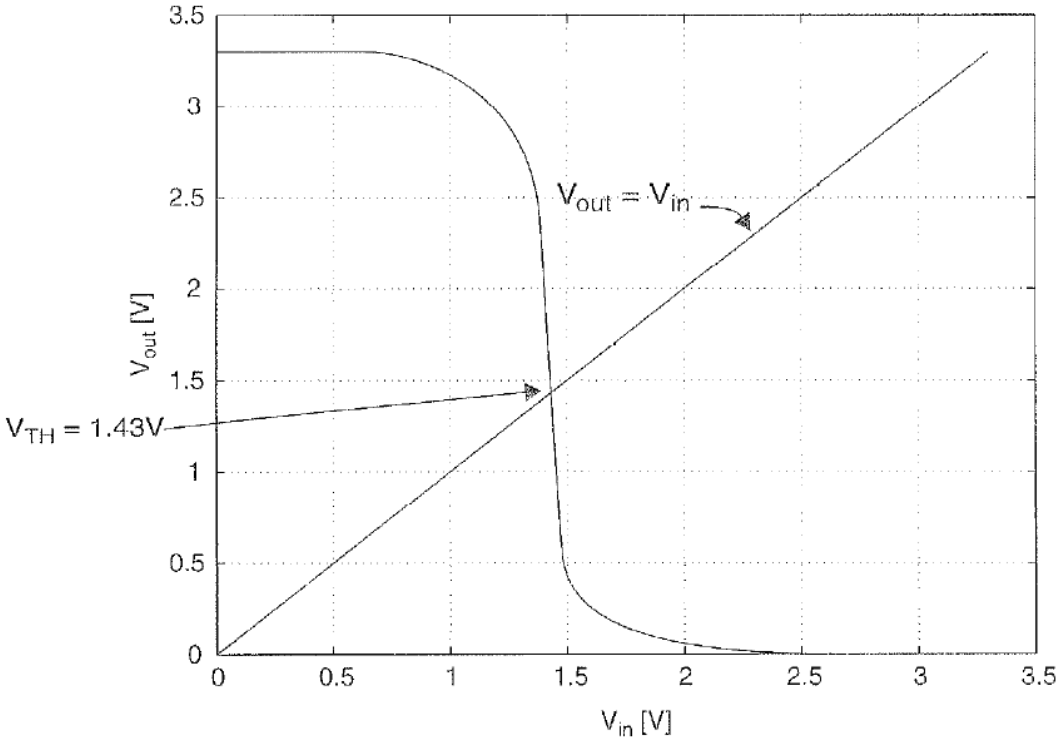
از واحد نگاه داشته شود

و مهم تر اینکه مقاومت های شانت R_n و R_p

تا حد ممکن کوچک باشد



منحنی انتقالی



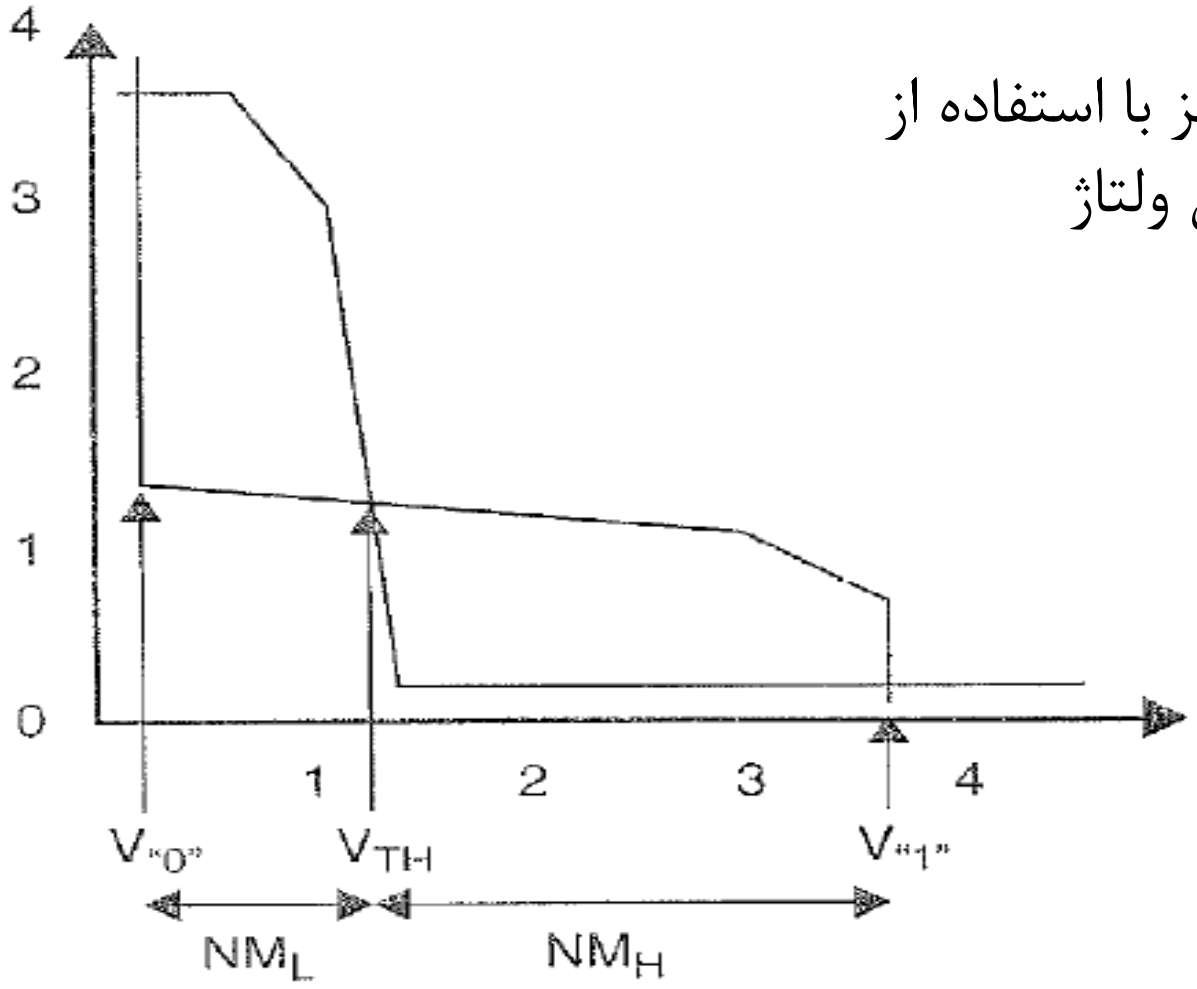
ولتاژ آستانه نقطه ای است که ولتاژ ورودی با ولتاژ خروجی یکسان باشد

دیگر مشخصه مهم، مقدار مطلق بهره سیگنال کوچک در ولتاژ آستانه است

در عمل در حدود ۲√

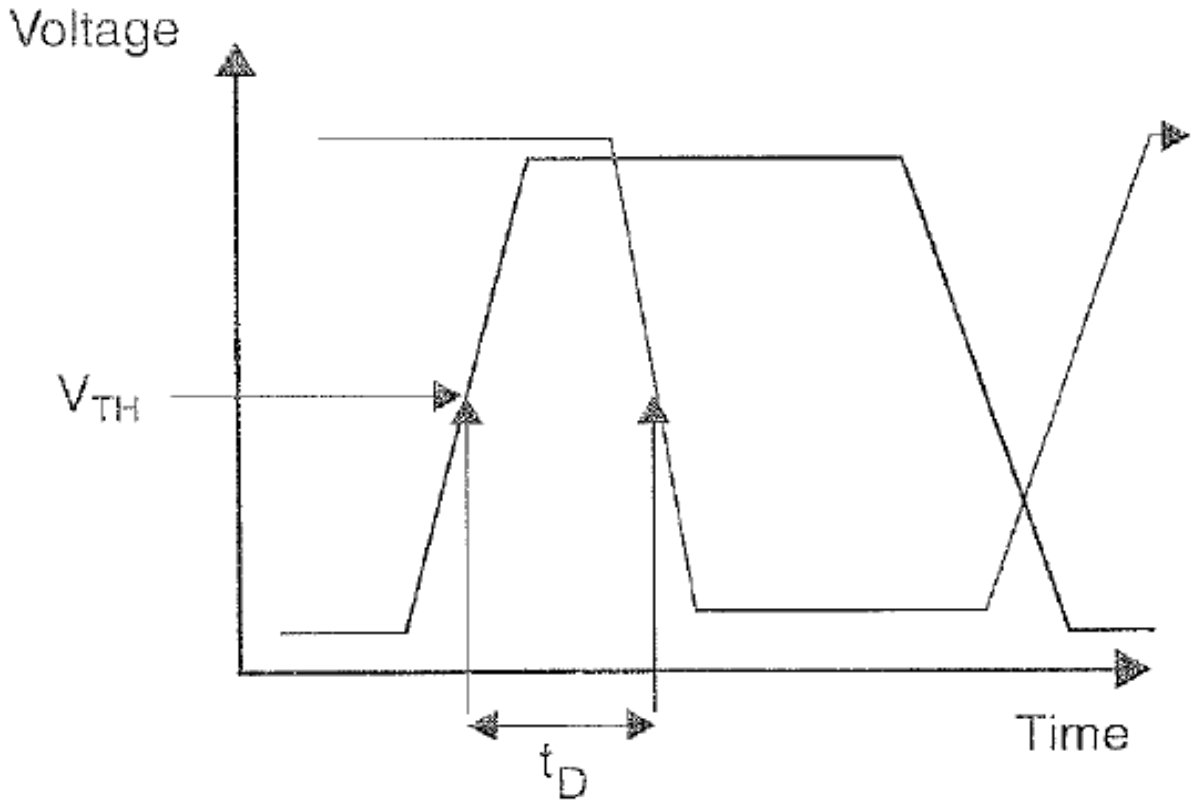
بهره برای مدارهای با فرکانس بالا حدود ۲ تا ۵۰ است.

حاشیه های نویز



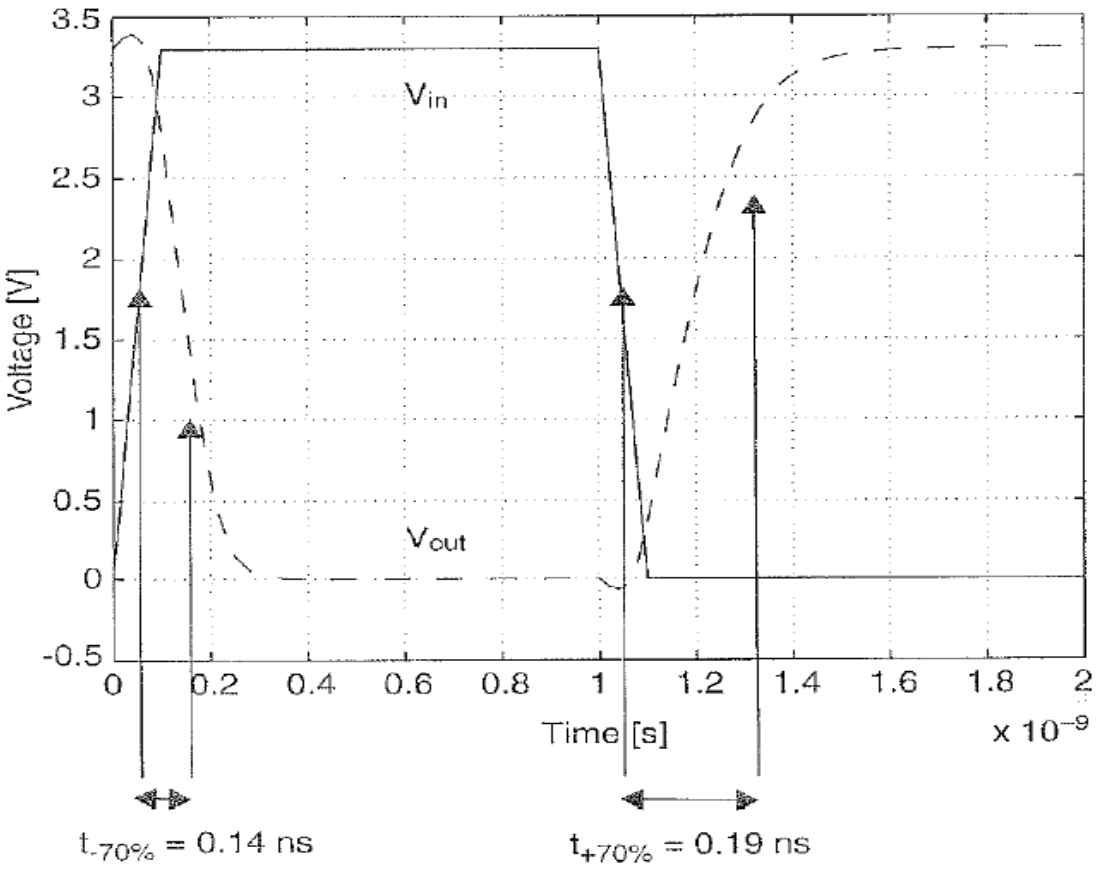
تعریف حاشیه نویز با استفاده از
سطوح منطقی ولتاژ

تأخیر گیت



زمان صعود و نزول

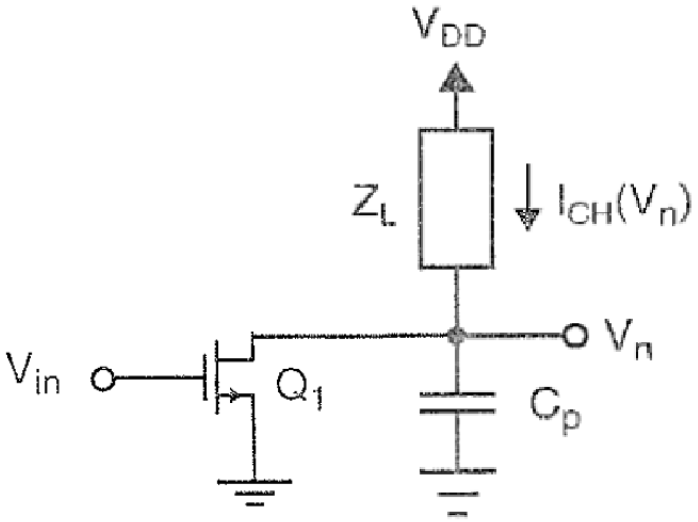
زمان صعود (یا نزول) زمانی است که ولتاژ خروجی گیت منطقی از ۱۰٪ تا ۹۰٪ مقدار نهایی خود برسد



معیار بهتر، زمانی است که ورودی گیت از ولتاژ آستانه خود عبور می کند تا زمانی که ولتاژ خروجی به ۷۰٪ مقدار نهایی خود می رسد

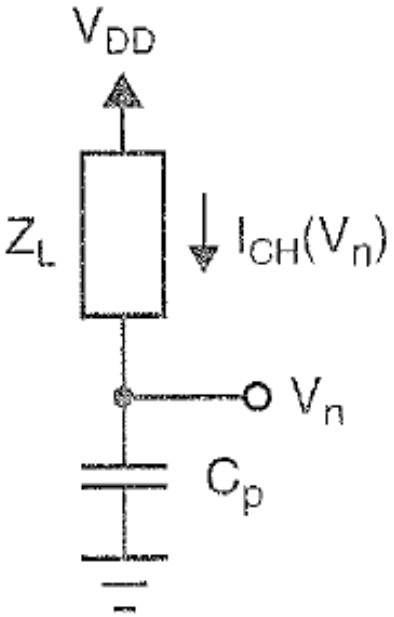
پاسخ گذرا

- محاسبه دقیق پاسخ گذرا بسیار پیچیده است
- فرض می شود تمامی خازن ها، فقط بین گره های مدار و زمین هستند
- خازن های تزویج نادیده گرفته می شود
- المان های مداری که باعث شارژ و دشارژ این خازن های پارازیتی می شوند، خود بصورت یک منبع جریان و یا یک مقاومت هستند



پاسخ گذرا

- ابتدا فرض کنیم المان های مداری که باعث شارژ و دشارژ این خازن های پارازیتی می شوند، بصورت یک منبع جریان هستند:



- با تغییر این سه عامل می توان سرعت گذار را تغییر داد

$$I = C\frac{dV_C}{dt}$$

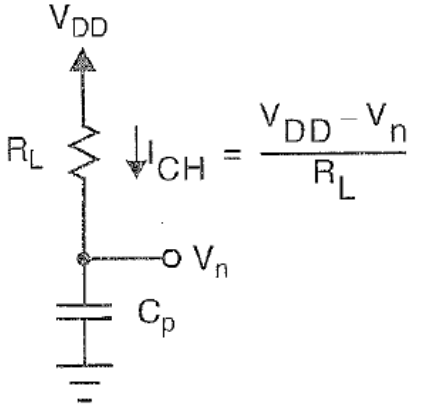
$$t_2 - t_1 = \int_{V_{n1}}^{V_{n2}} \frac{C_p dV_n}{I_{ch}(V_n)}$$

$$\Delta t = \frac{C_p \Delta V_n}{I_{ch}}$$

$$t_2 - t_1 = \frac{C_p(V_{n-2} - V_{n-1})}{I_{ch}}$$

پاسخ گذرا

تخمین دیگر: مقدار Z_L بجای منبع جریان ثابت، با یک مقاومت R_L تخمین زده می شود



$$I_{ch} = \frac{(V_{DD} - V_n)}{R_L}$$

$$t_2 - t_1 = \int_{V_{n-1}}^{V_{n-2}} \frac{C_p R_L dV_n}{V_{DD} - V_n} \qquad \Delta t = R_L C_p \ln\left(\frac{V_{DD} - V_{n-1}}{V_{DD} - V_{n-2}}\right)$$

مثال : با فرض اینکه خازن بار ۵۰fF، مقاومت بار ۴KΩ و در طول زمان نزول، بتوان ترانزیستور را با یک مقاومت ۳۰۰ اهمی تخمین زد، زمان صعود و نزول ۷۰٪ را بیابید.

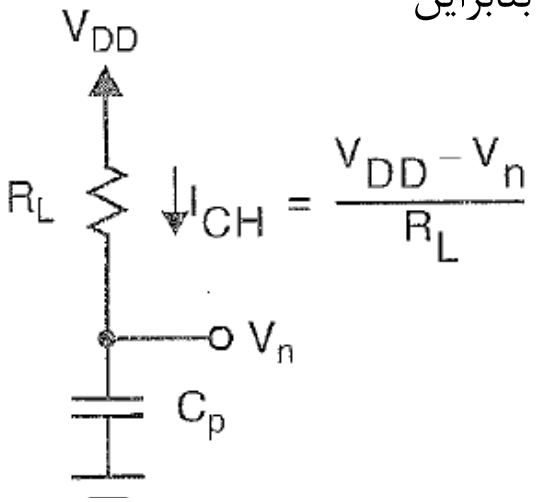
پاسخ: در خلال زمان صعود، ترانزیستور خاموش است و مقاومتی که توسط خازن بار دیده می شود، R_L خواهد بود که مقدارش ۴KΩ است. بنابراین:

$$t_{+70\%} = (4000 \times 5\times10^{-14}) \ln\left(\frac{3.3 - 0}{3.3 - 2.31}\right) = 2\times10^{-10} \times 1.20 = 0.24 \text{ ns} \quad (1.15)$$

پاسخ گذرا

در زمان نزول، R_L موازی با مقاومت معادل ترانزیستور که با R_{eq} نشان داده می شود. بنابراین مقاومت معادل برابر با ۲۷۹ اهم است.

با فرض اینکه ولتاژ نهایی صفر ولت باشد (در عمل ۰.۲۳ ولت) است، می دانیم که گذر ۷۰٪- زمانی رخ می دهد که *Vout* به مقدار ۰.۹۹=(۳.۳)۰.۷-۳.۳ ولت رسیده باشد. بنابراین



$$\Delta t = R_L C_p \ln\left(\frac{V_{DD} - V_{n-1}}{V_{DD} - V_{n-2}}\right)$$

$$t_{-70\%} = (279 \times 5\times10^{-14})\ln\left(\frac{0-3.3}{0-0.99}\right) = 1.4\times10^{-11} \times 1.20 = 0.017 \text{ ns}$$